

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

**THIS PAGE BLANK (USPTO)**

Japanese Laid-Open Patent Publication No. 342098/1994

(Tokukaihei 6-342098) (Published on December 13, 1994)

(A) Relevance to claim

The following is a translation of passages related to claims 1, and 17 of the claims of the present invention.

(B) Translation of the related passages

[CLAIMS]

[CLAIM 1]

An X-ray image capturing element, in which a dielectric substrate layer has an upper surface and a bottom surface, a plurality of transistors are arranged so as to be adjacent to one another on said upper surface of said dielectric substrate layer, and a plurality of charge accumulating capacitors are arranged so as to be adjacent to one another on said upper surface of said dielectric substrate layer, each of said charge accumulating capacitor including an inside conductive micro-plate connected with at least one of said transistors, has:

a charge accumulating capacitor in which said inside micro-plate has an upper surface opposing to said dielectric layer,

means, provided so as to be adjacent to one another on the upper surface of said dielectric layer, for electronically activating said transistor and providing an

access to each of said capacitors,

an optical conductive layer which is stacked on said transistor and said activating and accessing means, and

an upper conductive layer which is stacked on said optical conductive layer being stacked on the other side of said dielectric layer, comprising:

a plurality of charge barrier(stopping) layers, each being arranged so as to be adjacent to one another on each upper surface of said inside micro-plates, and

a barrier dielectric layer which is arranged between said optical conductive layer and said upper conductive layer so as to expand in the same manner as said optical conductive layer and said upper conductive layer.

[EMBODIMENT OF THE PRESENT INVENTION]

[0010]

An X-ray image capturing element includes an optical conductive layer which is stacked on the transistor and the activating and accessing means, and an upper conductive layer which is stacked on the optical conductive layer stacked on the other side of the dielectric layer.

[0030]

On the micro-plate 4n, a charge stopping(blocking) layer 10 is formed. It is preferable to allow an aluminum

oxide layer formed on the surface of the micro-plate 4n to serve as the charge stopping layer 10; however, another stopping interface(barrier) is also available. A selenium optical conductive layer 8 is coated thereon so as to achieve an X-ray absorbing layer. Further, the layers 4n, 10, and 8 act as stopping diodes so as to prevent charge of one type from passing in the other direction. The charge stopping layer 10 needs to have a thickness large enough to prevent leakage of charge. In the embodiment of the present invention, the charge stopping layer 10 is arranged so as to have a thickness larger than 100 angstroms.

[0031]

The optical conductive layer 8 is coated on the charge stopping layer 10, a transistor 5, and gate and sense lines. The optical conductive layer 8 has a front side and a back side which is contact with the micro-plate 4n. It is desirable that the optical conductive layer 8 exhibit high dark resistivity so that the optical conductive layer 8 can be made of materials selected from amorphous selenium, lead oxide, cadmium sulfide, mercuric iodide, and other same kinds of substances. As another substance belonging to the same kind, it is preferable to adopt an organic substance such as an optical conductive polymer which is added the X-ray absorbing compound so as

to exhibit an optical conductivity.





11月25日(火) 10時30分~11時30分

マイクロプレートが施設電解に対向する上面を盛り、さるからに、各キャビシタが施設電解の上面に接続された外側部電極マイクロプレートと直接マイクロプレート上に接続された試験物質などを盛り、施設マイクロプレートが施設電解に対向して接続電極の上面に接続されている電極電解キャビシタと、前記接続電解の上面に接続して配置され、前記トランジスタを電気的にアクチ

ベーティーと、前記キャバジタの音響を個別的にアセススする手段であって、トランジスタに沿って布設され、それぞれが陽接トランジスタのゲートに接続された複数のデバイスクリート導電アドレス・ラインと、アドレス・ライジングを構成するトランジスタのドレイン領域に接続された複数のディスクリート導電センス・ラインとを含むアクセス手段と、それぞれが前記センス・ラインに接続され、前記キャバジタの電荷をアナログ信号に変換するた

そのための電線接続手段と、前記トランジスタと前記アクリチベートおよびアクセス手段上に構成された光導電路と、前記アクリチベートと前記電線接続部に對向して前記光導電路上に構成された上部電極と、それぞれが前記内蔵マイクロプレートの各々の上面に構成して位置された電極部の電極端子と、前記光導電路と前記電線接続部との間に配線され、それらと

から取り除いて、前記電極キャビティが電極を基底することを可能にするステップと、(d) 元導電性にイソジンイソアツノンX銀鉱粉を照射して、銀鉱粉に比例した強度で光導電性に電極を発生させるステップと、(e) 放射を停止し、上部導電層に印刷した正の初期処理

操作性を切り離して、イニシアチブレジメント内に電荷分布を効率的に発生するステップと、(1) 陽極のアードレス・ラインを通して信号を順次にトランジスタに入力

して、キヤバシタに蓄積された電荷がキヤバシタから抜き出る時に蓄積された電荷がキヤバシタのセンス・ラインに流れ込むことを可能にするステップアンド、(8) 各電荷蓄積キヤバシタからの電荷を累積するように電荷搬送手段をアクリベートし、この累積値をあとでマイクロジルトメトリにストアしておくステップアンドが組み込まれたことを特徴とする。

記載のX線イメージ処理方法において、イメージ処理エレメントをその元の状態に復元するステップをさらに備え、復元エレメントは、(a) アドレス・ラインを通してゲート・ドライブをトランジスタに入力して、直角断面チャバシタに復元するすべての断面チャバシタから、

ンス：ラインに連絡係など多職能に才能スティック

(b) 行走装置キャバシタを電気的の中立アース状態に保つように接続された電磁誘導手段を電気的にアースするためのステップと、(c) 繊維作動部繩上部端部電極に再接続するためのステップと、(d) 反転動作電極を電気的中立化するステップと、

【0024】 [火施例]以下、図面を参照して本実用の火施例を詳細説明する。  
【0025】 図1は、導電基板12をもつ、X線イメージング装置(画像)施設装置、エレメントまたはパネル16を示す。該導電基板12は、パネル16を扱いやす

ソロウが作ることが可能である。この複数の第1マイクロフレームで、レポートには、詳しくは、「液化シリコンからなるフレーム」には、1号車の「液化シリコン」が液化され、液化シリコンなどの、他の材料を使用することも可能である。さらに、液体供給装置は底面材12上には、電極13、14とゲート11をもつ

機のトランジスタが並んでいます。さらに、同じ回路の第2サイクロブレート4(共体偏に示すように、回路の第2サイクロブレート4(共体偏には、4a, 4b, 4c, ..., 4n) が並んでいます。

る。これらのマイクロフレートは、以下では、マイクロフレート4と呼ぶ。これらは、貢献率構成割合またはスケーリング方法によって説明が基板層1上に推移される。この方法による推移は、金、銀、銅、チタン、プラチナケミカルではなく、また金、銀、銅、チタン、プラチナケミカルフレート4と呼ぶ。これらの金属性の熱で作ることが可能である。好ましくは、どの金属の熱で作ることも可能である。マイクロフレート4またはアルミニウムまたは銅では優化インシ

に推進され、そのソースまたはドライバがY031に

トに押されたかとがに応じて、Y軸ライン1.3の位置に位置するセンス・ラインと荷物積キヤバシタ6との間に電流を流す。トランジスタ5は、水素化合物(hydrogenated)アモルファス・シリコンゲート5、絶縁層W9・9、導電ゲート11と、Y軸ライン2.2との導電部を有することががましく、またはY軸ライン1.3に駆動回路示すように、一方の電極13はY軸センスライン1.3に接続され、他方の電極14はマイクロフレーテート4.0に接続される。各トランジスタには、導電部

ces). Volume 5 of Introduction to Microelectronics Fabrication (Ed. Addison-Wesley, 1988) discusses.

4. 本論のスライドには、専門知識はなくとも、A2, ..., Xuアドレス・ライン11, および電気電線

になっている。  
[0028] 対応の目的上、Xノード11とYノード11  
ノード13は、マイクロフレート4ノードを作るときに使用しな  
いのと同アルミニウム板から作ることができる。Xノード  
121とYノード121は、3Dマッピングノードで新たに作  
成している。

実際に接続してはならないので、Y<sub>0</sub> ライン 1-3 は、X<sub>0</sub> ライン 1-1 上に絶縁層（図示せず）を形成した後で作ることができる。

100291 各 Y<sub>0</sub> ライン 1-3 は、電荷増幅器出器 3-6 にも接続されている。この検出器は溝状増幅器で構成し、マイクロキャビシタからの電荷が漏られ、その電荷に比例した電出力を発生する角形移動開閉における電極を測定するようにならねばならない。検出器の電荷が漏れが発生するが、このような漏泄はこの分野では公

両端側を運動する電極は、入射放射の強度と直接比例する。

〔0039〕図2に示すように、X0ライン11の終端X線ビーム通路に置かれる。患者4.8を通り抜けて出る射出線は、ターゲット4.8におけるX線吸收の度合いが異なるために、強度が変調される。変調されたX線出射2.4.6は、エレメント1.6を照射しているかセット2.2によってシーセプトされる。射出物2.2を通り抜けたX線は、光電管8によって吸収される。〔0045〕次に、動作について説明する。まず、スイッチ3.2が按下に切りえられ、バイアス電圧(5Vが代表例)がすべてのX0ライン11に同時に印加される。さらに、電圧(5Vが代表例)がアレイ・リセプトすべてでX0ライン11に同時に印加される。X0ライン11にかかる電圧は、アレイ・リセプトの構成によってX0ライン11にかかる電圧が異なる。

され、第3キャビティはマイクロブレーントと1.8n間に形成された荷電界面キャビティ6になっている。  
100361エレメント16全体は、コンダクタ1.8n、絶縁層1.9、マイクロブレート4n、Pd/W1.0、  
光導光路8、絶縁層1.7、およびコンダクタ9の連続層  
を基板層1.2上に堆積することによって作ることが  
できる。FET5は基板層1.2上のマイクロブレー  
ント1.8nのスペースに組み込まれている。エレメント  
16の製作は、プラズマ強化化学蒸着法(plasma-enhanc  
ed chemical vapor deposition)、真空燃焼法(vacuum

【0041】電荷検出器 3.6は演算部回路を有し、マイクロキャビティからの電荷からその電荷に比例した電圧 8における電荷ホール・ペアの生成と移動が、次に説明するキャビティのキャバシタンス(静電容量)にどのように影響を及ぼすかを示したものである。図5に示すように、X線吸収が存在しないで、トランジスタ 5とアレイ・セレクト・トランジスタ 9.3が導通状態にタンゴンしているとき(これは、スイッチ 5.3を閉じたのと同じである)、正の初期動作電圧がエレメント 1.6の両端に加わると、電荷は電荷蓄積キャバシタ 6に蓄積されない。上述した場合では、この結果、2つの異なる電荷がアダドレステラバに接続されているほかに、前回電荷量 9と復数のマイクロブレーク 1.8とをアクセスして、…

deposition)、アミネート法(amination)、ハブタツシング法、その他等の薄膜を基盤するのに適した公知方法を行うことが可能である。

100371実際には、ハボル1の製作は、基板上に樹脂12、トランジスタ5、Xライン1-1、およびYライン1-3を含む市販樹脂トランジスタから始めることができる。本発明によるハボル1を作ることは、液体アセチルセイバイトを作るとときに使用される市販のハボルから始めることが可能である。電極基材キャバシタ6が、界面シールド層18上ならびに、Xライン1-1とY

他のプロトタイプと電気仕様を供給する電源 2 /に前面電源部 9 と機械部の第 1 マイクロプレート 1-8 を電気的に接続するため、別の接続端子が設けられている。  
【0043】図 3 は、イメージングエレメント 1 を化粧板取付構造の黒鉄からシールドするためにカセットまたはシールド方法は、X 線フィルムをシールドするカセットの場合とよく同じである。カセット 2 は、X 線を遮断する材料から作られている。真鍮板状の構造を用いるために、エレメント 1 はカセット 2 内に収納され

電気炉 1.0 上に構成される。絶縁層 1.7 と上部電極層 9 が  
電気炉電極 8.1 に形成されて、ハネル 1.6 が完成する。  
【0003-8】本発明の特許実施例では、上部電極層 9、  
絶縁層 1.7、および光電離層 8 は連結層になっている。  
絶縁層 1.7 および絶縁層 8 は 2 つ以上を、例えば、エッチングによるレジスト  
トレイルーションによって形成された複数のエクスクリート部  
しかし、マイクロアレート 1.8 などに構成された層の 1  
つまたは 2 つ以上を、例えば、エッチングによるレジスト  
トレイルーションによって形成された複数のエクスクリート部  
が構成される。上部電極層 9 は、本発明の目的に達する。

プレート4ロの上の領域内の光導電線8と電荷阻止層10側の境界(インタフェース)に向かって移動する。光導電線8に生成される電子ホール・ペアの数は、イメージエンジンエレメント16に衝突するイメージワイヤス发声X線の強度によって左右される。正の電荷がマイクロ苦情キャバシタ6の両端に蓄積され、電荷バッテリーンは例えば、図6に示す電圧に変化する。

【0048】図7は、X線の電荷阻止層10とマイクロ苦情キャバシタ6とに注入される電子ホール・ペアの数は、イメージエンジンエレメント16に衝突するイメージワイヤス发声X線の強度による電荷がマイクロ苦情キャバシタ6の両端に蓄積され、電荷バッテリーンは例えば、図6に示す電圧に変化する。

【0049】本発明においては、複数の電荷阻止層10とマイクロ苦情キャバシタ6とに注入される電子ホール・ペアの数は、X線の照射時に漏れ電流が原因で電荷が電荷蓄積キャバシタ6に注入されるとき、該電線17は、ホールが漏電層9か、漏電伝導層8に注入されるのを防ぎ、電荷阻止層10は、ホールが内部マイクロプレート4ロから光導電線8に注入されるのを防ぐので、その結果生じた漏れ電流が原因で、X線イメージに起因しない電荷蓄積キャバシタ6に蓄積するのを防止する。従って、その結果として得られたX線イメージは、漏れ電流が原因で起これる電荷蓄積に影響されない、X線イメージの解像度が向上する。

【0050】あらかじめ決めた時間間隔が経過すると、X線ビームは遮断されるので、X線はエレメント16に衝突しなくなる。そのあと、光導電線8への初期動作電圧の印加が繰りかかれるので、マイクロプレート4ロ、および電線19およびマイクロプレート18ロで形成されたマイクロキャバシタの蓄積電荷の形、放電蓄積イメージがエレメント16に蓄積される。

【0051】初期動作電圧をエレメント16から除いた後、化成電荷が生成するとときにカセット2を吸引吸っても、トランジスタ5は化成電荷からシールドされたり、足りて、マイクロプレート4ロは前後に屈曲されているので、該電線17と両端のマイクロキャバシタ電荷分布としてカセット2と2に取まっている蓄積イメージが消失することがない。

【0052】図8は、図2に示すように、X線ライン11の各々は、該当マイクロ苦情キャバシタエレメント16に接続されたFET5のゲートに印加することによって順次にアドレステスされる。これにより、FET5は導通状態になり、対応する電荷蓄積キャバシタ6に蓄積された電荷はYnライン13に流れると共に、電荷移除器36の人力側に流れ。電荷移除器36はYnライン13上で抽出された電荷に比例する電圧出力を発生する。増幅電荷移除器36の出力は順次にサンプリングされ、アドレステスしたXnライン11上のマイクロキャバシタは1つのイメージ・ピクセルを表す。Xnライン11上のピクセルのあるラインから信号が読み出されると、電荷蓄積器はリセット・ライン39を通りセッティングされる。次のXnライン11がアドレステスされ、このプロセスは、すべての電荷蓄積キャバシタがサンプリングされて、イメージ全体が読み出されるまで繰り返される。電荷移除器はストアしておくことも、表示することも、あるいはその両方を行うことができる。

【図5】X線放射の照射を受ける前に、初期動作バイアス電圧が印加された後の本発明によるエレメントの等価回路を示す図である。電荷移除器はストアしておらず、表示するための情報は表示回路によって示すのである。

【図6】X線放射の照射を受けた直後で、動作電圧が印加された後の本発明によるエレメントの等価回路を示す図である。

【図7】本発明のX線イメージ捕獲バネルを使用して放電現象を抑制し、表示するための構成を示すプロック回路である。

【図8】マイクロ苦情キャバシタが反転され、負電圧に低下した後の本発明によるエレメントの電気的等価回路を示す図である。

【図9】印加電圧

【図10】カセットまたは供給装置

【図11】印加電圧

【図12】スイッチ

【図13】電荷検出器

【図14】リセット・ライン

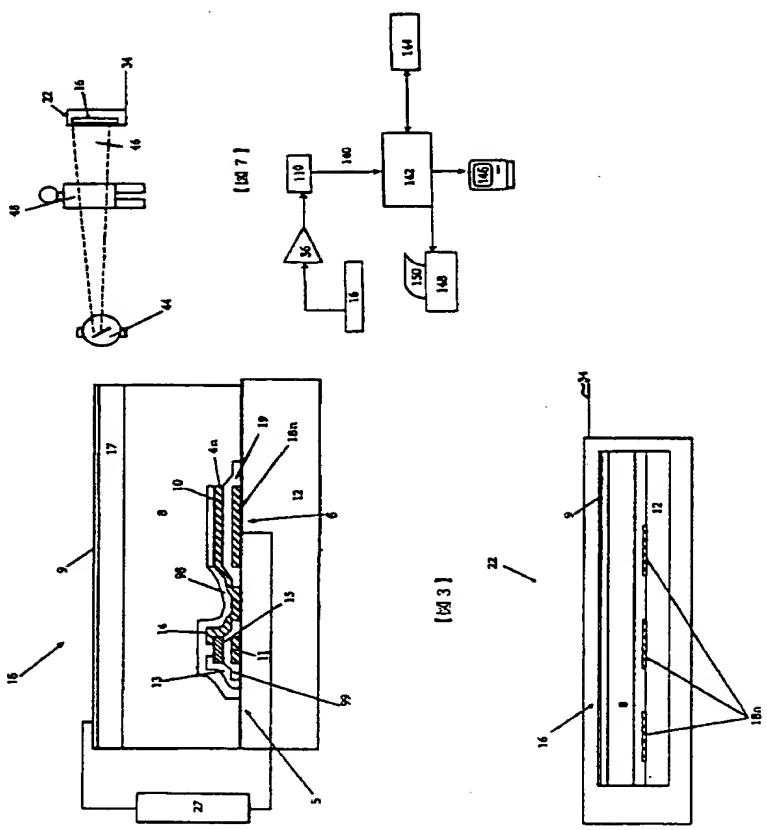
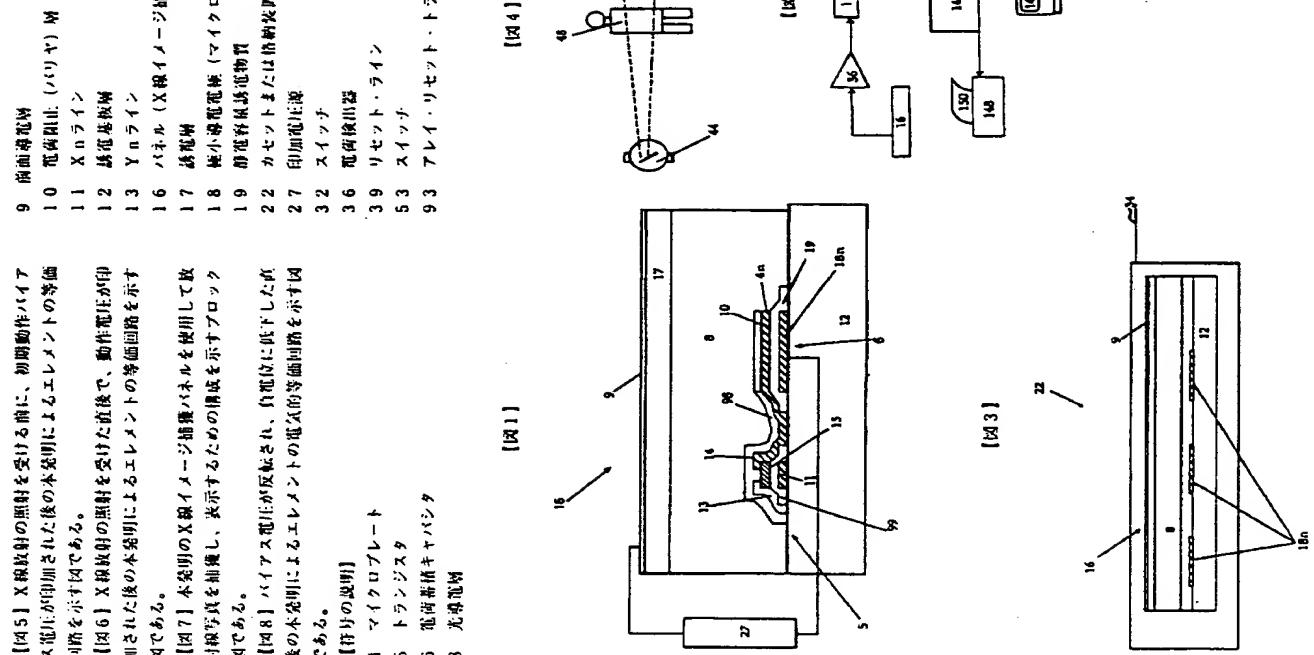
【図15】マイクロプレート

【図16】トランジスタ

【図17】電荷蓄積キャバシタ

【図18】電荷蓄積キャバシタ

【図19】光導電線



[図5]

[図6]

[図7]

[図8]

[図9]

[図10]

[図11]

[図12]

[図13]

[図14]

[図15]

[図16]

[図17]

[図18]

[図19]

[図20]

[図21]

[図22]

[図23]

[図24]

[図25]

[図26]

[図27]

[図28]

[図29]

[図30]

[図31]

[図32]

[図33]

[図34]

[図35]

[図36]

[図37]

[図38]

[図39]

[図40]

[図41]

[図42]

[図43]

[図44]

[図45]

[図46]

[図47]

[図48]

[図49]

[図50]

[図51]

[図52]

[図53]

[図54]

[図55]

[図56]

[図57]

[図58]

[図59]

[図60]

[図61]

[図62]

[図63]

[図64]

[図65]

[図66]

[図67]

[図68]

[図69]

[図70]

[図71]

[図72]

[図73]

[図74]

[図75]

[図76]

[図77]

[図78]

[図79]

[図80]

[図81]

[図82]

[図83]

[図84]

[図85]

[図86]

[図87]

[図88]

[図89]

[図90]

[図91]

[図92]

[図93]

[図94]

[図95]

[図96]

[図97]

[図98]

[図99]

[図100]

[図101]

[図102]

[図103]

[図104]

[図105]

[図106]

[図107]

[図108]

[図109]

[図110]

[図111]

[図112]

[図113]

[図114]

[図115]

[図116]

[図117]

[図118]

[図119]

[図120]

[図121]

[図122]

[図123]

[図124]

[図125]

[図126]

[図127]

[図128]

[図129]

[図130]

[図131]

[図132]

[図133]

[図134]

[図135]

[図136]

[図137]

[図138]

[図139]

[図140]

[図141]

[図142]

[図143]

[図144]

[図145]

[図146]

[図147]

[図148]

[図149]

[図150]

[図151]

[図152]

[図153]

[図154]

[図155]

[図156]

[図157]

[図158]

[図159]

[図160]

[図161]

[図162]

[図163]

[図164]

[図165]

[図166]

[図167]

[図168]

[図169]

[図170]

[図171]

[図172]

[図173]

[図174]

[図175]

[図176]

[図177]

[図178]

[図179]

[図180]

[図181]

[図182]

[図183]

[図184]

[図185]

[図186]

[図187]

[図188]

[図189]

[図190]

[図191]

[図192]

[図193]

[図194]

[図195]

[図196]

[図197]

[図198]

[図199]

[図200]

[図201]

[図202]

[図203]

[図204]

[図205]

[図206]

[図207]

[図208]

[図209]

[図210]

[図211]

[図212]

[図213]

[図214]

[図215]

[図216]

[図217]

[図218]

[図219]

[図220]

[図221]

[図222]

[図223]

[図224]

[図225]

[図226]

[図227]

[図228]

[図229]

[図230]

[図231]

[図232]

[図233]

[図234]

[図235]

[図236]

[図237]

[図238]

[図239]

[図240]

[図241]

[図242]

[図243]

[図244]

[図245]

[図246]

[図247]

[図248]

[図249]

[図250]

[図251]

[図252]

[図253]

[図254]

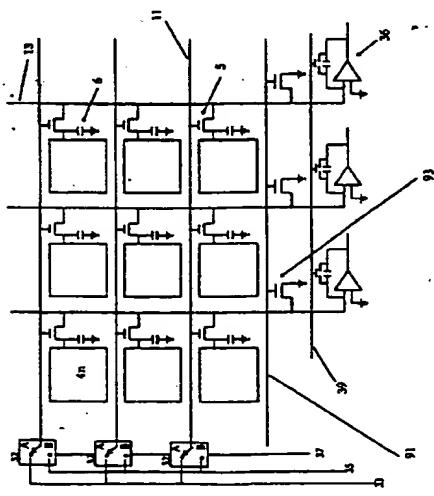
[図255]

[図256]

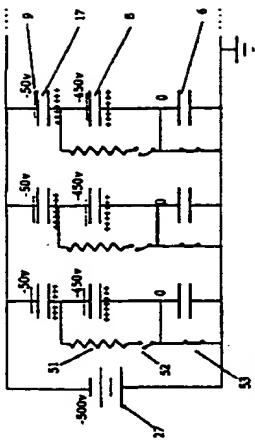
[図257]

[図258]

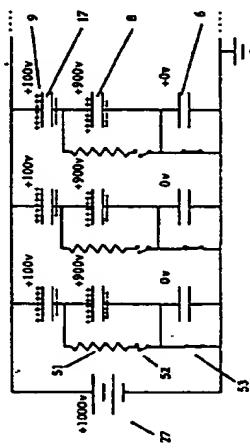
[121]



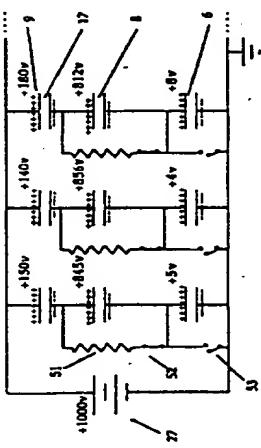
181



四三



1461



技術示範所

鑑別記号 院内整理番号 F 1

(51) Int. Cl.  
H 01 L 27/14  
31/09

(72)発明者 ローレンス カイーファン シェン  
アメリカ合衆国 19312 ベンシルバニア  
州 バーヴィン グリーン ヒル サーク  
ル 1520

201